

APPLICATION
FOR
UNITED STATES LETTERS PATENT

TITLE: SEMICONDUCTOR TESTER

APPLICANTS: Shoji KOJIMA

22511

PATENT TRADEMARK OFFICE

"EXPRESS MAIL" Mailing Label Number: EV 436025107 US

Date of Deposit: May 19, 2004

半導体試験装置

本出願は、2001年11月20日に出願された日本特許出願2001-354217号を優先権主張する、2002年11月20日に出願された国際特許出願PCT/JP02/12123号の継続出願であり、その内容はここに援用として盛り込まれる。

技術分野

この発明は、被試験デバイス(DUT)へ所定の試験波形を印加するドライバ回路を備える半導体試験装置に関する。特に、DUTのICピン端における印加波形を改善可能なドライバ回路を備える半導体試験装置に関する。

背景技術

図9は半導体試験装置の概念構成図である。この要部構成要素はタイミング発生器TGと、パターン発生器PGと、波形整形器FCと、ピンエレクトロニクスPEと、パフォーマンスボードPBと、伝送線路CB1と、論理比較器DCと、フェイル・メモリFMとを備える。前記ピンエレクトロニクスPEには、ドライバDRやコンパレータCP、その他を備える。ここで、半導体試験装置は公知であり技術的に良く知られている為、本願に係る要部を除き、その他の信号や構成要素、及びその詳細説明については省略する。

図2はドライバDRの出力端から出力するドライバ端出力パルス V_{out} と、これを受けるDUTのICピン端のDUT端印加パルス V_{dut} を示す波形図である。ここで、DUT端印加パルス V_{dut} の波形が目的とする印加波形である。

DUTへ供給される波形は、ドライバDRの出力端に接続される伝送線路CB1や他要素の負荷に伴って高域成分が減衰してくる。この為、図1に示すピーキング回路4のように、高域成分を持ち上げる回路をド

ライバ回路に内蔵している。このピーキング回路の結果、図 2 A、図 2 B に示すドライバ端出力パルス V_{out} の波形が出力される。この波形がパフォーマンスボード P B と伝送線路 C B 1 を伝送した後、D U T の I C ピンに到達すると、図 2 に示す D U T 端印加パルス V_{dut} のように、目的とする適切な波形が印加できる。

図 1 は従来の A E ステーション型のドライバ回路の本願に係る原理構成図である。

ドライバ回路の構成要素は、前段部と終段部とを備える。前段部は差動スイッチでありトランジスタ Q 3、Q 4 と抵抗 R 1、R 2 と、定電流源 2 とを備える。尚、定電流源 2 に接続する負側の電源 V_L は回路が動作可能な電源を適用する。終段部は D U T 端で所定の波形が得られるように駆動するものでありトランジスタ Q 1、Q 2 と抵抗 R 3 と、ピーキング回路 4 と、定電流源 1 とを備える。ピーキング回路 4 は抵抗 R 4 と、コイル L 4 とを備える。

ここで、A E ステーション型のドライバ回路は、終段部が電流スイッチするように駆動されることによりハイレベルとローレベルの振幅が所定に規定される形態のドライバ回路である。この為、N P N 型のトランジスタと所定抵抗値の抵抗 R 3 とによる出力段構成となってる。尚、抵抗 R 3 の抵抗値は伝送線路のインピーダンスに対応して $50\ \Omega$ が使用される。

前段部は、差動型アンプであって、波形整形器 F C からの整形信号 D R P をドライバ入力パルス P 1 として受けて、これを所定の電圧レベルで所定振幅の差動信号に変換して対応するトランジスタ Q 3、Q 4 のベース入力端へ供給し、両トランジスタのコレクタからは所定の振幅に変換された差動のスイッチ信号 Q 3 s、Q 4 s を終段部のトランジスタの対応するベース入力端へ供給する。

終段部は、差動型アンプであって、上記差動のスイッチ信号 $Q3s$ 、 $Q4s$ を受けて一方のトランジスタ $Q2$ のコレクタ端から所定振幅で所定駆動能力にバッファしたドライバ端出力パルス V_{out} を出力する。このとき、ハイ側出力電圧 V_{hi} は電源電圧 V_{H1} で規定され、ロー側出力電圧 V_{low} は $\{V_{H1} - i_{l1} \times R_3\}$ で規定される。更に、ピーキング回路 4 によって図 2 A、B に示すように立ち上がりエッジと立下がりエッジの波形はピーキング補償された波形として出力される。

上述説明したように従来構成によれば、ピーキング補償されたドライバ波形を実現する為にコイル素子を使用する必要がある。このコイル素子は LSI に集積化することが困難である。更に、図 1 の回路構成では立ち上がり側のピーキング補償と立下がり側のピーキング補償とを個別に補償できない。この為、 DUT 端で波形の非対称が生じる場合には、所望の波形品質となるように非対称な補正を行うことができない。尚、 DUT へ印加する印加波形を所望の波形状態で印加できれば、半導体試験装置によるデバイス試験の測定品質が一層向上可能である。

発明の開示

そこで、本発明が解決しようとする課題は、コイル素子を使用すること無く所定のドライバ波形を発生できるドライバ回路を備える半導体試験装置を提供することである。

また、ピーキング補償量を所望に調整可能なドライバ波形を発生できるドライバ回路を備える半導体試験装置を提供することである。

また、立ち上がり側のピーキング補償と立下がり側のピーキング補償を個別に補償可能なドライバ回路を備える半導体試験装置を提供することである。

第 1 の解決手段を示す。ここで第 3 図と第 4 図と第 5 図は、本発明に

係る解決手段を示している。

上記課題を解決するために、被試験デバイスの I C ピンへ所定の伝送線路 C B 1 を介して所定波形の印加信号を供給するドライバ回路を備える半導体試験装置であって、

- 5 論理信号のドライバ入力パルス P 1 を受けてその立ち上がりエッジを検出して波形の立ち上がりをピーキング補正する差動の立ち上がり補正パルス P 2 を発生する手段（例えば駆動パルス生成手段 1 0 0）を具備し、

- 10 論理信号のドライバ入力パルス P 1 を受けてその立下がりエッジを検出して波形の立下がりをピーキング補正する差動の立下がり補正パルス P 3 を発生する手段（例えば駆動パルス生成手段 1 0 0）を具備し、

- 15 上記差動の立ち上がり補正パルス P 2 に基づいてドライバ回路から出力する立ち上がり波形部位を所定にピーキング補正し、上記差動の立下がり補正パルス P 3 に基づいてドライバ回路から出力する立下がり波形部位を所定にピーキング補正する手段（例えば立ち上がりパルス重畳部 2 1 0 と立下がりパルス重畳部 2 2 0 とドライバ回路の前段部とドライバ回路の終段部）を具備し、

- 20 以上を具備して、伝送線路 C B 1 等に伴なう高域成分の減衰を補償して D U T の I C 入力端子へ波形品質の良い信号を印加するドライバ回路を備える半導体試験装置である。

次に、第 2 の解決手段を示す。ここで第 3 図と第 5 図は、本発明に係る解決手段を示している。

- 25 上記課題を解決するために、被試験デバイスの I C ピンへ所定の伝送線路 C B 1 を介して所定波形の印加信号を供給するドライバ回路を備える半導体試験装置であって、

論理信号のドライバ入力パルス P 1（整形信号 D R P）の立ち上がり

エッジを受けて所定期間の差動の立ち上がり補正パルス P 2 を発生し、論理信号のドライバ入力パルス P 1 の立下がりエッジを受けて所定期間の差動の立下がり補正パルス P 3 を発生する駆動パルス生成手段 2 3 0 を具備し、

- 5 上記差動の立ち上がり補正パルス P 2 を受けてこれに対応する電流量の第 1 のシンク電流 i_{Q5} を発生する立ち上がりパルス重畳部 2 1 0 を具備し、

上記立下がり補正パルス P 3 を受けてこれに対応する電流量の第 2 のシンク電流 i_{Q7} を発生する立下がりパルス重畳部 2 2 0 を具備し、

- 10 上記第 1 のシンク電流 i_{Q5} を受けて D U T へ供給する試験波形の立ち上がり側をピーキング補正し、上記第 2 のシンク電流 i_{Q7} を受けて D U T へ供給する試験波形の立下がり側をピーキング補正した試験波形を出力するドライバ回路の前段部及びドライバ回路の終段部を具備し、

以上を具備して、伝送線路 C B 1 等に伴う高域成分の減衰を補償し

- 15 て D U T の I C 入力端子へ波形品質の良い信号を印加するドライバ回路を備える半導体試験装置がある。

次に、第 3 の解決手段を示す。ここで第 7 図と第 8 図は、本発明に係る解決手段を示している。

- 上記課題を解決するために、被試験デバイスの I C ピンへ所定の伝送
20 線路 C B 1 を介して所定波形の印加信号を供給するドライバ回路を備える半導体試験装置であって、

- 駆動パルス生成手段を複数 n (n は 2 以上の整数) 備え、各々の駆動パルス生成手段は論理信号のドライバ入力パルス P 1 (整形信号 D R P) の立ち上がりエッジを受けて発生する立ち上がり補正パルス P 2 が
25 各々異なる所定パルス期間とする差動の立ち上がり補正パルス P 2 を発生し、論理信号のドライバ入力パルス P 1 の立下がりエッジを受けて発

生する立下がり補正パルス P 3 が各々異なる所定パルス期間とする差動の立下がり補正パルス P 3 を発生するものであり、

立ち上がりパルス重畳部を複数 n 備え、各々の立ち上がりパルス重畳部 2 1 0 は複数 n の上記差動の立ち上がり補正パルス P 2 を受けて所定
5 のパルス期間で所定のシンク電流量の第 1 のシンク電流 i Q 5 を各々発生するものであり、

立下がりパルス重畳部を複数 n 備え、各々の立下がりパルス重畳部 2 2 0 は複数 n の上記立下がり補正パルス P 3 を受けて所定のパルス期間で所定のシンク電流量の第 2 のシンク電流 i Q 7 を各々発生するもので
10 あり、

複数 n の上記第 1 のシンク電流 i Q 5 を受けて D U T へ供給する試験波形の立ち上がり側をピーキング補正し、複数 n の上記第 2 のシンク電流 i Q 7 を受けて D U T へ供給する試験波形の立下がり側をピーキング補正した試験波形を出力するドライバ回路の前段部及びドライバ回路の
15 終段部を具備し、

以上を具備して、伝送線路 C B 1 等に伴なう高域成分の減衰を補償して D U T の I C 入力端子へ波形品質の良い信号を印加するドライバ回路を備える半導体試験装置がある。

次に、第 4 の解決手段を示す。ここで第 4 図は、本発明に係る解決手
20 段を示している。

上述駆動パルス生成手段 2 3 0 の一態様は、論理信号のドライバ入力パルス P 1 (整形信号 D R P) を受けて第 1 に前記ドライバ入力パルスの立ち上がりエッジを検出し (例えば立ち上がりエッジ検出器 2 1)、所定期間の差動の立ち上がり補正パルス P 2 を発生するもの (例えば微小遅延手段 D L 1 と S R フリップ・フロップ 2 3 の構成) であり、
25

第 2 に前記ドライバ入力パルスの立下がりエッジを検出し (例えば立

下がりエッジ検出器 2 2)、所定期間の差動の立下がり補正パルス P 3 を発生するもの（例えば微小遅延手段 D L 2 と S R フリップ・フロップ 2 4 ）であり、

第 3 に前記ドライバ入力パルスに対応した差動のドライバパルス（ドライバ入力パルス P 1 ）を発生するもの（例えば差動ゲート 2 5 ）である、ことを特徴としたドライバ回路を備える上述半導体試験装置がある。

次に、第 5 の解決手段を示す。ここで第 3 図は、本発明に係る解決手段を示している。

上述立ち上がりパルス重畳部 2 1 0 の一態様は、第 1 の定電流源（例えば可変定電流源 C S 3 ）と第 1 の差動増幅構成の第 1 トランジスタ Q 5 と第 2 トランジスタ Q 6 とを備え、

上記第 1 の定電流源は当該両トランジスタのエミッタに接続されて当該両トランジスタの何れかに流れる定電流量を一定にするものであり、

上記第 1 トランジスタ Q 5 と第 2 トランジスタ Q 6 とは上記差動の立ち上がり補正パルス P 2 を当該両トランジスタのベース端で受け、前記に基づいて電流スイッチした一定電流量の第 1 のシンク電流 i_{Q5} を発生するものである、ことを特徴としたドライバ回路を備える上述半導体試験装置がある。

次に、第 6 の解決手段を示す。ここで第 3 図は、本発明に係る解決手段を示している。

上述立下がりパルス重畳部 2 2 0 の一態様は、第 2 の定電流源（例えば可変定電流源 C S 4 ）と第 2 の差動増幅構成の第 3 トランジスタ Q 7 と第 4 トランジスタ Q 8 を備え、

上記第 2 の定電流源は当該両トランジスタのエミッタに接続されて当該両トランジスタ Q 7、Q 8 の何れかに流れる定電流量を一定にするものであり、

上記第 3 トランジスタ Q 7 と第 4 トランジスタ Q 8 とは上記立下がり補正パルス P 3 を当該両トランジスタ Q 7、Q 8 のベース端で受け、前記に基づいて電流スイッチした一定電流量の第 2 のシンク電流 i_{Q7} を発生するものである、ことを特徴としたドライバ回路を備える上述半導体試験装置がある。

次に、第 7 の解決手段を示す。ここで第 3 図は、本発明に係る解決手段を示している。

上述ドライバ回路の前段部の一態様は、終段部から出力するハイレベルとローレベルの電圧レベルを規定する差動の駆動電圧信号を供給するものであって第 1 抵抗 R 1 と第 2 抵抗 R 2 と第 3 の定電流源 2 と第 3 の差動増幅構成の第 5 トランジスタ Q 3 と第 6 トランジスタ Q 4 とを備え、

上記第 1 抵抗 R 1 は第 5 トランジスタ Q 3 のコレクタに接続される負荷抵抗であり且つ上記立ち上がりパルス重畳部 210 の第 1 のシンク電流 i_{Q5} を発生する上記第 1 トランジスタ Q 5 のコレクタ端に接続し、
上記第 2 抵抗 R 2 は第 6 トランジスタ Q 4 のコレクタに接続される負荷抵抗であり且つ上記立下がりパルス重畳部 220 の第 2 のシンク電流 i_{Q7} を発生する第 3 トランジスタ Q 7 のコレクタ端に接続し、

上記第 3 の定電流源 2 は第 3 の差動のトランジスタの両エミッタに接続して所定の定電流量を流し、

上記差動のドライバ入力パルス P 1 を前記第 3 の差動増幅構成の両トランジスタが受けて、前記ドライバ入力パルス P 1 に基づいて電流スイッチし、且つ上記第 1 のシンク電流 i_{Q5} と上記第 2 のシンク電流 i_{Q7} とにより重畳付与された差動の駆動電圧信号を両方のトランジスタのコレクタから出力して終段部へ供給するものである、ことを特徴としたドライバ回路を備える上述半導体試験装置がある。

次に、第 8 の解決手段を示す。ここで第 3 図は、本発明に係る解決手

段を示している。

上述ドライバ回路の終段部の一態様は、第4の差動増幅構成の第7トランジスタQ1と第8トランジスタQ2と第1分流抵抗R11と第2分流抵抗R12と第1負荷抵抗R3と第4の定電流源1とを備え、

- 5 上記第7トランジスタQ1と第8トランジスタQ2とは上記ドライバ回路の前段部から出力される差動の駆動電圧信号をベース入力端で受けて所定に増幅して一方の第8トランジスタQ2のコレクタ端からDUTへ供給する所定波形の印加信号を発生するものであり、

- 10 上記第1分流抵抗R11と第2分流抵抗R12とは当該両トランジスタのエミッタに個別に接続されるエミッタ抵抗であって、両分流抵抗の他端は上記第4の定電流源1に接続されるものであり、

上記第1負荷抵抗R3は正電源VH1と上記第8トランジスタQ2のコレクタ端に接続されて負荷抵抗となると共に所定波形の印加信号としてDUTへ供給するものであり、

- 15 上記第4の定電流源1は負電源VLと上記第1分流抵抗R11及び第2分流抵抗R12との間に挿入されて一定の電流源となるものである、ことを特徴としたドライバ回路を備える上述半導体試験装置がある。

次に、第9の解決手段を示す。ここで第3図は、本発明に係る解決手段を示している。

- 20 上述第1の定電流源若しくは第2の定電流源の一態様としては、所望のピーキング補償となる一定した定電流量を供給する固定の定電流源、若しくは所望のピーキング補償ができるように定電流量が外部から可変可能な可変定電流源CS3、CS4である、ことを特徴としたドライバ回路を備える上述半導体試験装置がある。

- 25 尚、本願発明手段は、所望により、上記解決手段における各要素手段を適宜組み合わせ、実用可能な他の構成手段としても良い。また、上

記各要素に付与されている符号は、発明の実施の形態等にも示されている符号に対応するものの、これに限定するものではなく、実用可能な他の均等物を適用した構成手段としても良い。

5 図面の簡単な説明

図1は、従来の、AEステーション型のドライバ回路の本願に係る原理構成図である。

図2は、ドライバDRの出力端から出力するドライバ端出力パルスと、これを受けるDUTのICピン端のDUT端印加パルスを示す波形図である。

図3は、本発明の、AEステーション型のドライバ回路の本願に係る原理構成図である。

図4は、駆動パルス生成手段の内部構成例を示す原理回路図である。

図5は、図3のピーキング補償を説明するタイミングチャートである。

図6は、図3の終段部のベース間電位差に対するコレクタ電流特性を示す特性図である。

図7は、本発明の、複数3系統のオーバーシュートコントロール部を備える場合のドライバ回路の例である。

図8は、図7のピーキング補償を説明するタイミングチャートである。

図9は、半導体試験装置の概念構成図である。

発明を実施するための最良の形態

以下に本発明を適用した実施の形態の一例を図面を参照しながら説明する。また、以下の実施の形態の説明内容によって特許請求の範囲を限定するものではないし、更に、実施の形態で説明されている要素や接続関係が解決手段に必須であるとは限らない。更に、実施の形態で説明さ

れている要素や接続関係の形容／形態は、一例でありその形容／形態内容のみに限定するものではない。

本発明について、図3と図4と図5と図6とを参照して以下に説明する。尚、従来構成に対応する要素は同一符号を付し、また重複する部位
5 の説明は省略する。

図3は本発明のA Eステーション型のドライバ回路の本願に係る原理構成図である。

ドライバ回路の構成要素は、オーバーシュートコントロール部200と、前段部と、終段部とを備える。前段部は従来と同一である。終段部
10 は従来要素の中でピーキング回路4を削除し、分流抵抗 R_{11} 、 R_{12} を追加し、電源電圧 V_{H1} の電圧と定電流源1の電流量 i_1 とを所定の条件で使用する構成である。

分流抵抗 R_{11} 、 R_{12} は、トランジスタ Q_1 、 Q_2 がベース端へ入力されるベース電圧に比例したコレクタ電流 i_{Q1} 、 i_{Q2} となるよう
15 にする為の抵抗であって、例えば $5\ \Omega$ 程度の小さな抵抗値を適用する。また、電源電圧 V_{H1} の電圧と定電流源1の電流量 i_1 とは両トランジスタは常に能動状態で動作できる条件とする。この結果、両トランジスタは常に能動状態で動作できる。例えば、図1に示す従来の電流量 i_1 が 100 mA と仮定し、2倍以上の振幅まで発生可能とした条件のとき、
20 本発明では 200 mA 以上の電流量にする。

尚、トランジスタ Q_1 、 Q_2 自身が有するエミッタ抵抗が適用可能な条件となるように前段部を設計すれば、これら抵抗は削除可能である。

ここで、上記分流抵抗 R_{11} 、 R_{12} によるトランジスタ Q_2 のコレクタ電流 i_{Q2} について、図6の終段部のベース間電位差に対するコレ
25 クタ電流特性を示す特性図を参照して説明する。ここで、前段部から供給される差動のスイッチ信号 Q_{3s} 、 Q_{4s} の両者の電位差（ $Q_{3s} -$

Q 4 s) は、通常時が ± 0.5 vと仮定し、ピーキング動作時が ± 1 vと仮定する。また、定電流源 1 の電流量 i_1 は、最大のコレクタ電流 i_{Q2} よりも多い電流条件にして、トランジスタ Q 1、Q 2 が常に能動状態の領域に存在するようにしておく。

- 5 一方の非ピーキングである通常のベース駆動振幅によるコレクタ電圧 Q 2 s は、図 6 C 点の電流量に基づくハイレベルの出力電圧となり、図 6 D 点の電流量に基づくローレベルの出力電圧となる。

- 他方のピーキング時のベース駆動振幅によるコレクタ電圧 Q 2 s は、図 6 E 点の電流量に基づき振幅 2 倍のハイレベルの出力電圧となり、図 10 6 F 点の電流量に基づき振幅 2 倍のローレベルの出力電圧となる。このように 2 倍の出力電圧が発生できるからして、等価的にピーキング作用を付与した波形が出力できることとなる。

- 図 3 に戻り、オーバーシュートコントロール部 2 0 0 は、駆動パルス生成手段 2 3 0 と、立ち上がりパルス重畳部 2 1 0 と、立下がりパルス 15 重畳部 2 2 0 とを備える。

- 駆動パルス生成手段 2 3 0 は、波形整形器 F C からの整形信号 D R P を受けて、図 5 のタイミングチャートに示すように、第 1 に整形信号 D R P と同じドライバ入力パルス P 1 (P 1 P、P 1 N) を差動で出力し、第 2 に整形信号 D R P の立ち上がりの遷移に基づいて所定の立ち上がり 20 補正パルス P 2 (P 2 P、P 2 N) を生成して差動で出力し、第 3 に整形信号 D R P の立下がりの遷移に基づいて所定の立下がり補正パルス P 3 (P 3 P、P 3 N) を生成して差動で出力する。

- 図 4 は駆動パルス生成手段 2 3 0 の内部構成を示す原理回路図である。この構成要素は立ち上がりエッジ検出器 2 1 と、立下がりエッジ検出器 25 2 2 と、微小遅延手段 D L 1、D L 2 と、S R フリップ・フロップ 2 3、2 4 と、差動ゲート 2 5 とを備える。

- 立ち上がりエッジ検出器 21 は、整形信号 D R P をドライバ入力パルス P 1 として受けて、この立ち上がり側のエッジを検出し、例えば 50 ピコ秒の細いパルス 21 s を S R フリップ・フロップ 23 のセット入力端 S と微小遅延手段 D L 1 とへ供給する。微小遅延手段 D L 1 は外部から
- 5 遅延量が可変な微小な遅延回路であり、前記細いパルス 21 s を受けて、遅延量として例えば 300 ピコ秒を遅延付与した遅延パルスを S R フリップ・フロップ 23 のリセット入力端 R へ供給する。この結果、S R フリップ・フロップ 23 の出力端 Q、q からは、約 300 ピコ秒のパルス期間の差動の立ち上がり補正パルス P 2 (P 2 P、P 2 N) が生成できる。
- 10 同様にして、立下がりエッジ検出器 22 は、ドライバ入力パルス P 1 の立下がり側のエッジを検出した細いパルス 22 s に基づいて約 300 ピコ秒のパルス期間の差動の立下がり補正パルス P 3 (P 3 P、P 3 N) が生成できる。

- 尚、ドライバ入力パルス P 1 がシングル信号の場合には、差動ゲート
- 15 25 により差動のドライバ入力パルス P 1 (P 1 P、P 1 N) に変換して出力する。これら差動の出力信号を図 3 に示す対応する各入力端へ供給する。尚、上記 3 つの各出力信号の位相はピーキング補償が適正に行える位相関係で出力されるようにすることが望ましい。

- 図 3 に戻り、一方の立ち上がりパルス重畳部 210 は、ドライバ端出力パルス V out において立ち上がり側のパルス部位に重畳してピーキング
- 20 補償を与えるものであり、トランジスタ Q 5、Q 6 と、可変定電流源 C S 3 とを備える。トランジスタ Q 5 のコレクタは前段部のトランジスタ Q 3 のコレクタと並列接続している。この結果、上記立ち上がり補正パルス P 2 (図 5 A、B 参照) を受けたときに、トランジスタ Q 5 のシンク電流 i_{Q5} が生じ、これにより、前段部のトランジスタ Q 3 のコレクタ電圧であるスイッチ信号 Q 3 s は、 $(R1 \times i_{Q5})$ の電圧ドロップ
- 25

が重畳加算（図 5 D、E 参照）される。前記で重畳されたスイッチ信号 Q 3 s は終段部のトランジスタ Q 2 のベース端へ供給される結果、トランジスタ Q 2 のコレクタ電圧 Q 2 s は上記立ち上がり補正パルス P 2 の期間では所定の電圧上昇した高い電圧（図 5 G、H 参照）が出力できることとなる。この結果、立ち上がり側のピーキング補償が実現できる。

また、可変定電流源 C S 3 を外部から制御することで、シンク電流 i_{Q5} の電流量を任意に制御可能であるからして、重畳加算する電圧ドロップ量を調整可能となる結果、立ち上がり側のピーキング補償量を独立して所望条件に調整可能となる利点も得られる。

10 他方の立下がりパルス重畳部 220 は、ドライバ端出力パルス V_{out} において立下がり側のパルス部位に重畳してピーキング補償を与えるものであり、トランジスタ Q 7、Q 8 と、可変定電流源 C S 4 とを備える。トランジスタ Q 7 のコレクタは前段部のトランジスタ Q 4 のコレクタと並列接続している。この結果、上記立下がり補正パルス P 3（図 5 C 参照）を受けたときに、トランジスタ Q 7 のシンク電流 i_{Q7} が生じ、これにより、前段部のトランジスタ Q 4 のコレクタ電圧であるスイッチ信号 Q 4 s は、 $(R_2 \times i_{Q7})$ の電圧ドロップが重畳加算（図 5 F 参照）される。このスイッチ信号 Q 4 s が終段部のトランジスタ Q 1 のベース端へ供給される結果、トランジスタ Q 2 のコレクタ電圧 Q 2 s は上記立下がり補正パルス P 2 の期間では所定の電圧降下した低い電圧（図 5 J 参照）が出力できることとなる。この結果、立下がり側のピーキング補償が実現できる。

また、可変定電流源 C S 4 を外部から制御することで、シンク電流 i_{Q7} の電流量を任意に制御可能であるからして、重畳加算する電圧ドロップ量を調整可能となる結果、立下がり側のピーキング補償量を独立して所望条件に調整可能となる利点も得られる。

上述した発明構成例によれば、半導体 I C による回路構成で実現した立ち上がり側のピーキング補償量を独立して調整できる立ち上がりパルス重畳部 210 と、立下がり側のピーキング補償量を独立して調整できる立下がりパルス重畳部 220 とを具備する構成としたことにより、コイル部品を適用すること無くピーキング補償することが可能となるので L S I 化して実装することが可能となる大きな利点を得られる。更に、立ち上がり側のピーキング補償と、立下がり側のピーキング補償とを独立して調整できる利点を得られる。これらの結果、D U T の I C ピンへ供給される D U T 端印加パルス V_{dut} は、より一層目的波形とすることが可能となる利点を得られる。更に、印加波形の品質が向上する結果、D U T へ印加する波形のタイミング精度も向上される結果、デバイス試験の測定品質が一段と向上できる大きな利点を得られる。

尚、本発明の技術的思想は、上述実施の形態の具体構成例、接続形態例に限定されるものではない。更に、本発明の技術的思想に基づき、上述実施の形態を適宜変形して広汎に応用してもよい。

例えば、上述実施例では、オーバーシュートコントロール部 200 を 1 系統備える場合とした具体例であったが、図 7 に示すように、複数 3 系統のオーバーシュートコントロール部 200 a、200 b、200 c を備える。複数 3 系統の個々のシンク電流は所望の重み付けをしておく。且つ、個々の駆動パルス生成手段 230 a、230 b、230 c に備える微小遅延手段 D L 1、D L 2 は遅延量を所望に変えておく。

これによれば、図 8 のタイミングチャートに示すように、立ち上がり補正パルス P 2 a、P 2 b、P 2 c のパルス（図 8 A、B、C 参照）を生成し、同様に、立下がり補正パルス P 3 a、P 3 b、P 3 c のパルスを生成する。この結果、3 つのシンク電流が重み付けされて重畳されたドライバ端出力パルス V_{out} の波形（図 8 D、E、F 参照）が発生可能と

なる。この場合には、所望の波形にピーキング補償することが可能となるからして、D U T 端印加パルス V_{dut} は、より一層理想に近い波形で印加可能となる大きな利点を得られる。

- また、上述実施例では、図 4 に示す微小遅延手段 D L 1、D L 2 は固定の遅延量としたが、所望により、外部から制御可能な可変遅延手段としても良い。この場合には補償パルスの期間を外部から所望条件に調整できる利点を得られる。

産業上の利用可能性

- 10 本発明は、上述の説明内容からして、下記に記載される効果を奏する。

上述説明したように本発明によれば、半導体回路によるピーキング補償回路構成としたことにより、コイル部品を適用すること無くピーキング補償することが可能となる利点を得られる。従って、数百チャンネルもの多数のドライバ回路を L S I 化して実装可能となる利点を得られる。

- 15 更に、立ち上がり側のピーキング補償と、立下がり側のピーキング補償とを独立して調整できる手段を具備する構成としたことにより、D U T の I C ピン端における立ち上がり側の波形と、立下がり側の波形を任意独立に調整できる結果、波形品質の良い印加波形を D U T の I C ピンへ供給可能となる利点を得られる。更に、D U T への印加波形の波形品質の向上に伴って、デバイス試験の試験品質が一段と向上できる大きな利点を得られる。

従って、本発明の技術的效果は大であり、産業上の経済効果も大である。

請 求 の 範 囲

1. 被試験デバイス (DUT) の ICピンへ所定の伝送線路を介して所定波形の印加信号を供給するドライバ回路を備える半導体試験装置であって、
 - 5 論理信号のドライバ入力パルスを受けてその立ち上がりエッジを検出して波形の立ち上がりをピーキング補正する差動の立ち上がり補正パルスを発生する手段と、

論理信号のドライバ入力パルスを受けてその立下がりエッジを検出して波形の立下がりをピーキング補正する差動の立下がり補正パルスを発生する手段と、

 - 10 該差動の立ち上がり補正パルスに基づいてドライバ回路から出力する立ち上がり波形部位を所定にピーキング補正し、該差動の立下がり補正パルスに基づいてドライバ回路から出力する立下がり波形部位を所定にピーキング補正する手段と、
 - 15 以上を具備するドライバ回路を備える半導体試験装置。
2. 被試験デバイス (DUT) の ICピンへ所定の伝送線路を介して所定波形の印加信号を供給するドライバ回路を備える半導体試験装置であって、
 - 20 論理信号のドライバ入力パルスの立ち上がりエッジを受けて差動の立ち上がり補正パルスを発生し、論理信号のドライバ入力パルスの立下がりエッジを受けて差動の立下がり補正パルスを発生する駆動パルス生成手段と、

該差動の立ち上がり補正パルスを受けてこれに対応する電流量の第 1

 - 25 のシンク電流を発生する立ち上がりパルス重畳部と、

該立下がり補正パルスを受けてこれに対応する電流量の第 2 のシンク

電流を発生する立下がりパルス重畳部と、

該第 1 のシンク電流を受けて D U T へ供給する試験波形の立ち上がり側をピーキング補正し、該第 2 のシンク電流を受けて D U T へ供給する試験波形の立下がり側をピーキング補正した試験波形を出力するドライ

5 バ回路の前段部及びドライバ回路の終段部と、

以上を具備するドライバ回路を備える半導体試験装置。

3. 被試験デバイス (D U T) の I C ピンへ所定の伝送線路を介して所定波形の印加信号を供給するドライバ回路を備える半導体試験装置で

10 あって、

駆動パルス生成手段を複数 n 備え、各々の駆動パルス生成手段は論理信号のドライバ入力パルスの立ち上がりエッジを受けて発生する立ち上がり補正パルスが各々異なる所定パルス期間とする差動の立ち上がり補正パルスを発生し、論理信号のドライバ入力パルスの立下がりエッジを
15 受けて発生する立下がり補正パルスが各々異なる所定パルス期間とする差動の立下がり補正パルスを発生するものであり、

立ち上がりパルス重畳部を複数 n 備え、各々の立ち上がりパルス重畳部は複数 n の該差動の立ち上がり補正パルスを受けて所定のパルス期間で所定のシンク電流量の第 1 のシンク電流を各々発生するものであり、

20 立下がりパルス重畳部を複数 n 備え、各々の立下がりパルス重畳部は複数 n の該立下がり補正パルスを受けて所定のパルス期間で所定のシンク電流量の第 2 のシンク電流を各々発生するものであり、

複数 n の該第 1 のシンク電流を受けて D U T へ供給する試験波形の立ち上がり側をピーキング補正し、複数 n の該第 2 のシンク電流を受けて
25 D U T へ供給する試験波形の立下がり側をピーキング補正した試験波形を出力するドライバ回路の前段部及びドライバ回路の終段部と、

以上を具備するドライバ回路を備える半導体試験装置。

4. 該駆動パルス生成手段は、論理信号のドライバ入力パルスを受けて第1に前記ドライバ入力パルスの立ち上がりエッジを検出し、所定期間の差動の立ち上がり補正パルスを発生するものであり、

第2に前記ドライバ入力パルスの立下がりエッジを検出し、所定期間の差動の立下がり補正パルスを発生するものであり、

第3に前記ドライバ入力パルスに対応した差動のドライバパルスを発生するものである、ことを特徴としたドライバ回路を備える請求項2又は3記載の半導体試験装置。

5. 該立ち上がりパルス重畳部は、第1の定電流源と第1の差動増幅構成の第1トランジスタと第2トランジスタとを備え、

該第1の定電流源は当該両トランジスタのエミッタに接続されて当該両トランジスタの何れかに流れる定電流量を一定にするものであり、

該第1トランジスタと第2トランジスタとは該差動の立ち上がり補正パルスを当該両トランジスタのベース端で受け、前記に基づいて電流スイッチした一定電流量の第1のシンク電流を発生するものである、ことを特徴としたドライバ回路を備える請求項2又は3記載の半導体試験装置。

6. 該立下がりパルス重畳部は、第2の定電流源と第2の差動増幅構成の第3トランジスタと第4トランジスタを備え、

該第2の定電流源は当該両トランジスタのエミッタに接続されて当該両トランジスタの何れかに流れる定電流量を一定にするものであり、

該第3トランジスタと第4トランジスタとは該立下がり補正パルスを

当該両トランジスタのベース端で受け、前記に基づいて電流スイッチした一定電流量の第2のシンク電流を発生するものである、ことを特徴としたドライバ回路を備える請求項2又は3記載の半導体試験装置。

- 5 7. 該ドライバ回路の前段部は、終段部から出力するハイレベルとローレベルの電圧レベルを規定する差動の駆動電圧信号を供給するものであって第1抵抗と第2抵抗と第3の定電流源と第3の差動増幅構成の第5トランジスタと第6トランジスタとを備え、

10 該第1抵抗は第5トランジスタのコレクタに接続される負荷抵抗であり且つ該立ち上がりパルス重畳部の第1のシンク電流を発生する該第1トランジスタのコレクタ端に接続し、

該第2抵抗は第6トランジスタのコレクタに接続される負荷抵抗であり且つ該立下がりパルス重畳部の第2のシンク電流を発生する第3トランジスタのコレクタ端に接続し、

- 15 該第3の定電流源は第3の差動のトランジスタの両エミッタに接続して所定の定電流量を流し、

該差動のドライバパルスを該第3の差動増幅構成の両トランジスタが受けて、前記ドライバパルスに基づいて電流スイッチし、且つ該第1のシンク電流と該第2のシンク電流とにより重畳付与された差動の駆動電
20 圧信号を両方のトランジスタのコレクタから出力して終段部へ供給するものである、ことを特徴としたドライバ回路を備える請求項2又は3記載の半導体試験装置。

8. 該ドライバ回路の終段部は、第4の差動増幅構成の第7トランジスタと第8トランジスタと第1分流抵抗と第2分流抵抗と第1負荷抵抗
25 と第4の定電流源とを備え、

21

該第 7 トランジスタと第 8 トランジスタとは該ドライバ回路の前段部から出力される差動の駆動電圧信号をベース入力端で受けて所定に増幅して一方の第 8 トランジスタのコレクタ端から D U T へ供給する所定波形の印加信号を発生するものであり、

- 5 該第 1 分流抵抗と第 2 分流抵抗とは当該両トランジスタのエミッタに個別に接続されるエミッタ抵抗であって、両分流抵抗の他端は該第 4 の定電流源に接続されるものであり、

該第 1 負荷抵抗は正電源と該第 8 トランジスタのコレクタ端に接続されて負荷抵抗となると共に所定波形の印加信号として D U T へ供給する
10 ものであり、

該第 4 の定電流源は負電源と該第 1 分流抵抗及び第 2 分流抵抗との間に挿入されて一定の電流源となるものである、ことを特徴としたドライバ回路を備える請求項 2 又は 3 記載の半導体試験装置。

- 15 9. 該第 1 の定電流源若しくは第 2 の定電流源は、一定した定電流量を供給する固定の定電流源、若しくは定電流量が外部から可変可能な可変定電流源である、ことを特徴としたドライバ回路を備える請求項 5 又は 6 記載の半導体試験装置。



(57) 要約:

コイル素子を使用すること無く所定のドライバ波形を発生できるドライバ回路を備える半導体試験装置を提供する。このために、ピンエレクトロニクスに備えるドライバ回路が被試験デバイスのＩＣピンへ供給すべき整形信号を受けて、所定レベルの振幅に変換し、変換したドライバ出力パルスをＤＵＴのＩＣピンへ供給する構成を備える半導体試験装置において、ドライバの出力端から出力するドライバ出力パルスの立ち上がりエッジと立下がりエッジの波形を個々に所定に補償するパルス補償手段を備える、半導体試験装置。